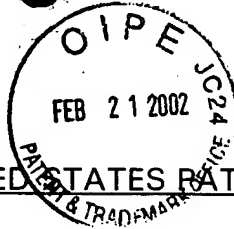


YAMAP0797US



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Sato et al.

Serial No.: 10/051,585

Filed: January 18, 2002

Art Unit:

Examiner:

COPY OF PAPERS
ORIGINALLY FILED

For: LSI HAVING INTERPRETER FUNCTION AND INFORMATION RECORDING/
REPRODUCING APPARATUS USING THE SAME

Assistant Commissioner for Patents
Washington, D.C. 20231

RECEIVED

MAR 19 2002

Technology Center 2100

TRANSMITTAL OF CERTIFIED COPY

Attached please find the certified copy of the foreign application from which
priority is claimed for this case:

Country: Japan
Application Number: 2001-018150
Filing Date: January 26, 2001

SIGNATURE OF ATTORNEY

Reg. No. 26,725

Neil A. DuChez

Tel. No. (216) 621-1113

RENNER, OTTO, BOISSELLE & SKLAR, P.L.L.
1621 Euclid Avenue
Nineteenth Floor
Cleveland, Ohio 44115

CERTIFICATE OF MAILING UNDER 37 C.F.R. § 1.8

I hereby certify that this correspondence (along with any paper referenced as being attached or enclosed)
is being deposited on the below date with the United States Postal Service with sufficient postage as first class
mail in an envelope addressed to the Assistant Commissioner for Patents, Washington, D.C. 20231.

Date: February 7, 2002

Janet Farr



(Translation)

PATENT OFFICE
JAPANESE GOVERNMENT

COPY OF PAPERS
ORIGINALLY FILED

This is to certify that the annexed is a true copy of the
following application as filed with this Office.

RECEIVED

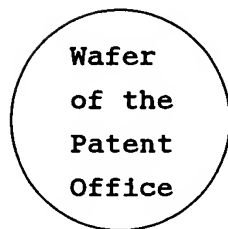
MAR 19 2002

Technology Center 2100

Date of Application : January 26, 2001

Application Number : Patent Appln. No. 2001-018150

Applicant(s) : MATSUSHITA ELECTRIC INDUSTRIAL CO.,
LTD.



December 21, 2001

Kozo OIKAWA

Commissioner,
Patent Office

Seal of
Commissioner
of
the Patent
Office

Appln. Cert. No.

Appln. Cert. Pat. 2001-3111001

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2001年 1月26日

出願番号
Application Number:

特願2001-018150

出願人
Applicant(s):

松下電器産業株式会社

COPY OF PAPER
ORIGINALLY FILED

RECEIVED

MAR 19 2002

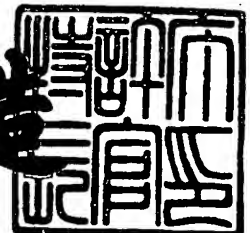
Technology Center 2100

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年12月21日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



【書類名】 特許願

【整理番号】 2032430004

【提出日】 平成13年 1月26日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 15/16
G06F 9/06

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 佐藤 孝広

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 薮野 寛之

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 臼井 誠

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 伊藤 基志

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100097445

【弁理士】

【氏名又は名称】 岩橋 文雄

【選任した代理人】

【識別番号】 100103355

【弁理士】

【氏名又は名称】 坂口 智康

【選任した代理人】

【識別番号】 100109667

【弁理士】

【氏名又は名称】 内藤 浩樹

【手数料の表示】

【予納台帳番号】 011305

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809938

【書類名】 明細書

【発明の名称】 L S I 及び情報記録装置及び情報再生装置

【特許請求の範囲】

【請求項1】 CPUに依存しない命令列からなる中間コードを保持する記録可能なメモリであるRAMと、前記中間コードを解釈、実行するインタプリタ実行プログラムを格納する読み出し専用のメモリであるROMと、前記インタプリタ実行プログラムによって前記中間コードを実行するCPUからなるLSI。

【請求項2】 中間コードは予め暗号化されていて、インタプリタ実行プログラムは前記暗号化された中間コード復号と実行を命令毎に逐次行うことを特徴とする請求項1記載のLSI。

【請求項3】 暗号データをROMに具備し、前記暗号データは、中間コードとの排他的論理和によって暗号化と復号化を実現することを特徴とする請求項2記載のLSI。

【請求項4】 暗号データは、ROM上の連続したアドレス領域に形成されたことを特徴とする請求項3記載のLSI。

【請求項5】 中間コードには、暗号データの先頭アドレスとサイズが含まれることを特徴とする請求項4記載のLSI。

【請求項6】 CPUに依存しない命令列からなる予め暗号化された中間コードを記録する、外部からアクセス可能なRAMと、CPUに依存しない命令列からなる復号後の中間コードを記録する、外部からアクセス不可能なRAMとを具備し、前記中間コードを解釈、実行するインタプリタ実行プログラムを格納するROMと、前記インタプリタ実行プログラムによって前記中間コードを実行するCPUからなるLSI。

【請求項7】 予め暗号化された中間コードを外部からアクセス可能なRAMに保持し、前記中間コードの復号を初めに行い、外部からアクセス不可能なRAMに記録した後、復号後の中間コードをインタプリタ実行プログラムによって実行することを特徴とする請求項6記載のLSI。

【請求項8】 外部からアクセス可能なRAMと外部からアクセス不可能なRAMは、単一のメモリ上に形成されたことを特徴とする請求項7記載のLSI。

【請求項 9】 そのデータと中間コードとの排他的論理和によって暗号化と復号化を実現する暗号データを ROM に具備した請求項 7 記載の L S I。

【請求項 10】 暗号データは、ROM 上の連続したアドレス領域に形成されたことを特徴とする請求項 9 記載の L S I。

【請求項 11】 中間コードには、暗号データの先頭アドレスとサイズが含まれることを特徴とする請求項 10 記載の L S I。

【請求項 12】 請求項 1 または請求項 6 記載の L S I を組み込んで、中間コードを入れ換えることによって用途に応じてカスタマイズ可能な情報記録装置。

【請求項 13】 請求項 1 または請求項 6 記載の L S I を組み込んで、中間コードを入れ換えることによって用途に応じてカスタマイズ可能な情報再生装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、CPU (Central Processing Unit: 中央処理装置) に依存しない命令列を解釈し実行するインタプリタプログラムを記録した、CPU を内蔵 (インタプリタ) する L S I (Large Scale Integrated Circuit: 大規模集積回路) に関する。

【0002】

【従来の技術】

従来、CPU を実装した L S I において、動作を行うためのソフトウェアを同一の L S I に内蔵された ROM (Read Only Memory: 読み取り専用メモリ) などのメモリに保有し、CPU によって L S I を動作させる方法は一般に普及している。その場合、CPU は予め ROM に記録されたソフトウェアを読み出し動作を行う。

【0003】

【発明が解決しようとする課題】

前記の L S I は、予め ROM に記録されたソフトウェアを実行することしか出来ず、記録されているソフトウェアを変更することが出来ないため、L S I を用途に応じてカスタマイズして、様々な用途に使用することは難しいという課題が

あった。

【0004】

【課題を解決するための手段】

この課題を解決するために、本発明のLSIは、第1に、CPUに依存しない命令列からなる中間コードを保持する記録可能なメモリであるRAMと、前記中間コードを解釈、実行するインタプリタ実行プログラムを格納する読み出し専用のメモリであるROMと、前記インタプリタ実行プログラムによって前記中間コードを実行するCPUから構成した。

【0005】

また、予め暗号化された中間コードを前記RAMに保持して、前記インタプリタ実行プログラムによって前記中間コードの暗号の復号と実行を命令毎に逐次行うこととした。また、暗号データをROMに具備し、前記暗号データは、中間コードとの排他的論理和によって暗号化と復号化を実現することとした。また、前記暗号データは、前記ROM上の連続したアドレス領域に形成することとした。また、前記中間コードには、前記暗号データの先頭アドレスとサイズが含まれるようにした。

【0006】

第2に、CPUに依存しない命令列からなる予め暗号化された中間コードを記録する、外部からアクセス可能なRAMであるアクセス可能RAM領域と、CPUに依存しない命令列からなる復号後の中間コードを記録する、外部からアクセス不可能なRAMであるアクセス不可能RAM領域と、前記中間コードを解釈、実行するインタプリタ実行プログラムを格納するROMと、前記インタプリタ実行プログラムによって前記中間コードを実行するCPUから構成した。

【0007】

また、予め暗号化された中間コードを前記アクセス可能RAM領域に保持し、前記中間コードの復号を初めに行い、アクセス不可能RAM領域に記録した後、復号後の中間コードを前記インタプリタ実行プログラムによって実行することとした。また、アクセス可能RAM領域とアクセス不可能RAM領域は、単一のメモリ上に形成されることとした。また、中間コードとの排他的論理和によって暗

号化と復号化を実現する暗号データをROMに具備することとした。また、前記暗号データは、前記ROM上の連続したアドレス領域に形成することとした。また、前記中間コードには、前記暗号データの先頭アドレスとサイズが含まれるようにした。

【0008】

【発明の実施の形態】

本発明では、中間コードの実行方法として、2通りの方法が適用可能である。1つは、RAMに予め暗号化された中間コードを記録し、命令毎に逐次実行を行う方法（第1の方法）である、もう1つは、外部からアクセス可能なRAM領域に記録された予め暗号化された中間コードを初めに復号し、外部からアクセス不可能なRAM領域に記録した後、中間コードの実行を行う方法（第2の方法）である。以下、第1の方法を適用した実施の形態1及び第2の方法を適用した実施の形態2につき、図面を参照して順に説明する。

【0009】

（実施の形態1）

以下、本発明の実施の形態1について図面を参照しながら説明する。図1は本実施の形態のLSIの構成を表すものであり、これについて説明する。101は本発明であるLSI、102はLSI101を制御するCPU、103は中間コードや命令ポインタを記録するRAM（Random Access Memory：ランダムアクセスメモリ）、104はインタプリタ実行プログラムや暗号データを記録するROM、110はLSI101と外部との通信を行う通信手段、105はLSI101が搭載された機器全体の制御を行うシステム制御マイコンである。CPU102は、RAM103、ROM104と相互にバスで接続されていて、システム制御マイコン105は、通信手段110によってCPU102とRAM103にアクセス可能である。

【0010】

106はCPU102によってインタプリタの実行を行うインタプリタ実行プログラム、107は中間コードの暗号化・復号化を行う暗号データ、108は暗号化された中間コード、109は現在実行中の中間コードのアドレスを示す命令

ポインタである。暗号データはROM104のデータの中でほぼランダムデータとみなせる連続したアドレス領域のデータを用いる。なお、命令ポインタ109にはCPU102内のレジスタやメモリを使用することも出来る。

【0011】

本実施の形態のLSIは、CPU102が、ROM104に記録されたインタプリタ実行プログラム106を実行することによって、システム制御マイコン105によってRAM103に記録された予め暗号化された中間コード108を、ROM104に記録された暗号データ107を用いて復号を行いながら実行する。

【0012】

次に、中間コードのデータ構造を図2を用いて説明する。201は中間コード、202は命令、203は命令コード部、204はパラメータ部である。中間コードは命令の列で表現される。命令は、命令の種別を表す1バイト長の命令コード部203と、命令の引数として使用して命令によって長さの異なる0バイト長以上のパラメータ部204で構成される。インタプリタは、中間コードの命令を1命令単位で解釈し、実行を行う。

【0013】

本実施の形態では、中間コードを予め暗号化した後RAMに記録する。図3により、以下で暗号化方法に関して説明する。中間コードに対して、ステップ301からステップ307を行うことにより暗号化を行う。暗号化は、中間コードをRAMに記録する前に別途行う。なお、PC上でプログラムによって暗号化を行ってもよい。

【0014】

ステップ301では、中間コードの先頭にポインタをセットし、ステップ302では、ポインタ位置の中間コードのデータを1バイト取得する。次にステップ303では、暗号データ107の先頭アドレスにポインタの指している中間コードのアドレスの先頭からのオフセットの暗号データサイズに対する剰余を加えることにより得られるアドレスの暗号データを1バイト取得する。そして、ステップ304により、得られた中間コードの1バイトと暗号データの1バイトの排他

的論理和によって得られた結果を、暗号化されたデータとしてメモリに格納する。

【0015】

次に、ステップ305によって、現在のポインタ位置が中間コードの終端かどうかを調べ、中間コードの終端でなければステップ306によって、ポインタを次に進めステップ302に進み、中間コードの終端ならば、ステップ307に進む。ステップ307では、暗号化された中間コード列の先頭に、暗号化フラグとして1バイトデータ0x01と、ROM上の暗号データ107の先頭アドレス、サイズをメモリに格納し、ファイルに出力した後終了する。ここで、“0x”は、16進数を表すものとする。

【0016】

以下では、図4、図5を用いて、中間コードの暗号化の手順を具体的に示す。図4は、具体的な中間コードの構成を表した図であり、これについて説明する。401は中間コード、402は命令、403は命令コード部、404はパラメータ部である。ここで、命令コード0x05、0x16、0x28、0xCFはそれぞれ、メモリへの即値書き込み命令、メモリ同士の加算命令、メモリコピー命令、終了命令である。

【0017】

メモリへの即値書き込み命令は、1バイトの即値データをメモリに書き込む命令で、中間コード401では、アドレス0x1234のメモリへの即値データ0xD6の書き込みと、アドレス0x5678のメモリへの即値データ0x21の書き込みが行われている。メモリ同士の加算命令は、2つのメモリの内容を加算しメモリに書き込む命令で、中間コード401では、アドレス0x1234のメモリの内容とアドレス0x5678のメモリの内容を加算し、アドレス0x1234のメモリへの書き込みが行われている。

【0018】

メモリコピー命令は、メモリの内容を異なったメモリへコピーする命令で、中間コード401では、アドレス0x1234のメモリから、アドレス0x9ABCのメモリへのコピーが行われている。終了命令は、中間コードの実行の終了を

行う命令である。

【0019】

以上より、中間コード401はアドレス0x1234のメモリへの即値データ0xD6の書き込みとアドレス0x5678のメモリへの即値データ0x21の書き込みを行い、アドレス0x1234のメモリの内容とアドレス0x5678のメモリの内容を加算してアドレス0x1234のメモリへ書き込み、アドレス0x1234のメモリの内容をアドレス0x9ABCのメモリへコピーし、終了する中間コードである。

【0020】

図5は、具体的な暗号データの構成を表した図であり、これについて説明する。501は具体的な暗号データであり、ROM上の先頭アドレス0xDEF0からの連続アドレス領域に記録されている。以下では、中間コード401の暗号化を暗号データ501を用いて行う。

【0021】

ステップ301では、中間コード401の先頭からのオフセットが0x00のアドレスにポインタをセットする。ステップ302では、ポインタ位置の中間コード401のデータ0x05を取得する。ステップ303では、 $(0xDEF0) + (0x00) \bmod (0x09) = 0xDEF0$ より、ROM上のアドレス0xDEF0の暗号データ0x1Cを取得する。そして、ステップ304により、得られた中間コードのデータ0x05と暗号データ0x1Cの排他的論理和によって得られた結果0x19を暗号化されたデータとしてメモリに格納する。

【0022】

次に、ステップ305によって、現在のポインタ位置が中間コードの終端かどうかを調べる。オフセット0x00のアドレスは中間コードの終端ではないので、ステップ306によって、ポインタを次に進めステップ302に進む。以上のように、中間コードの暗号化は中間コードの終端を検出するまでステップ302から306を繰り返し実行することにより行う。

【0023】

本具体例においても、中間コードの終端を検出するまでは同様の処理を繰り返

すので説明を省略し、中間コードの終端、つまりオフセット0x12にポインタが移動した後の手順を説明する。ステップ302では、ポインタ位置の中間コード401のデータ0xCFを取得する。

【0024】

ステップ303では、 $(0 \times \text{DEF}0) + (0 \times 12) \bmod (0 \times 09) = 0 \times \text{DEF}0$ より、ROM上のアドレス0xDEF0の暗号データ0x1Cを取得する。そして、ステップ304により、得られた中間コードのデータ0xCFと暗号データ0x1Cの排他的論理和によって得られた結果0xD3を暗号化されたデータとしてメモリに格納する。次に、ステップ305によって、現在のポインタ位置を中間コードの終端と識別し、ステップ307に進む。ステップ307では、暗号化された中間コードの先頭に、暗号化フラグ0x01と、ROM上の暗号データ501の先頭アドレス0xDEF0、サイズ0x0009をメモリに格納し、ファイルに出力した後終了する。

【0025】

次に、上記の様に暗号化された中間コードの構成を図6を用いて説明する。601は暗号化された中間コードに暗号化情報を付加した暗号中間コードデータ、602は1バイト長で表される暗号化フラグ、603は2バイト長で表されるROM上の暗号データ107の先頭アドレス、604は暗号データ107のサイズ、605は暗号化された中間コードである暗号中間コードである。

【0026】

暗号化フラグ602には、本中間コードが暗号化されている時0x01が記録され、暗号化されていない時0x00が記録される。暗号中間コード605を復号することにより、元の間コードが得られる。

【0027】

前記具体例によって得られた暗号化された中間コードを図7を用いて説明する。図7は図4の中間コード401を図5の暗号コード501によって暗号化を行った暗号中間コードデータである。701は暗号中間コードデータで、702は暗号化フラグ、703は中間コード701を暗号化するのに使用したROM上の暗号データの先頭アドレス、704は前記暗号データのサイズ、705は暗号中

間コードである。以上の様に暗号化を行った暗号中間コードデータをRAMにダウンロードした後実行を行う。

【0028】

以下では、図8のフローチャートを用いて、暗号中間コードを復号する方法について説明する。暗号中間コードの復号は、ステップ801からステップ804の手順で実行する。

【0029】

ステップ801では、命令ポインタの位置の中間コードのデータを1バイト取得する。ステップ802では、暗号化フラグが立っているかどうかを調べる。暗号化フラグが0x00ならば、本中間コードが暗号化されていないことを示しているのでそのまま終了し、暗号化フラグが0x01ならば、ステップ803に進む。ステップ803では、暗号データ107の先頭アドレスにポインタの指している中間コードのアドレスの先頭からのオフセットの暗号データサイズに対する剰余を加えることにより得られるアドレスの暗号データを1バイト取得する。ステップ804では、得られた1バイトの中間コードと1バイトの暗号データの排他的論理和によって復号を行い結果を取得して終了する。

【0030】

ここで、具体的に図5の暗号データ501を用いて図7の暗号中間コードデータ701の復号を行う。復号する暗号中間コードデータ701において、図7のオフセット0x08のアドレスのデータの復号を行う。

【0031】

まずステップ801で、ポインタ位置0x08の中間コードのデータ0xDCを取得する。ステップ802では、暗号化フラグが立っているかどうかを調べる。暗号中間コードデータ701では、暗号化フラグ702の値が0x01となっている為、暗号化されていると認識し、ステップ803に進む。ステップ803では、 $(0 \times \text{DEF}0) + (0 \times 08) \bmod (0 \times 09) = 0 \times \text{DEF}8$ より、ROM上のアドレス0xDEF8の暗号データCAを取得する。そして、ステップ804で、中間コードのデータ0xDCと暗号データ0xCAの排他的論理和をとり、求める復号データ0x16を得る。この値は、図4の中間コード40

1 のアドレスのオフセット 0×08 の値に一致する。

【0032】

最後に、図9のフローチャートを用いて、以下のように本発明のLSIによって中間コードを実行する手順について説明する。本発明のLSIは、図3の手順で暗号化を行った暗号中間コードデータをシステム制御マイコン105によってRAM103にダウンロードして、図8の手順で命令毎に逐次復号し実行する。中間コードの実行は、ステップ901からステップ906の手順で行う。

【0033】

まず、ステップ901では、命令ポインタを中間コードの先頭にセットする。次に、ステップ902では、図8の手順によって暗号を復号し中間コードの命令コード部を取得する。そして、ステップ903によって、ステップ902で取得した中間コードの命令コード部が終了命令かどうかを調べ、終了命令でなければステップ904によって命令を実行した後、ステップ905によって命令ポインタを次命令に進め、ステップ902に進む。ステップ903によって、終了命令と判定された時はステップ906に進み終了命令を実行した後インタプリタの実行を終了する。

【0034】

ステップ904の命令実行時には、図10の手順によって暗号を復号し中間コードのパラメータ部を得て実行を行う。その手順を図10を用いて説明する。ステップ904の命令実行は、ステップ1001から1005の手順で行う。

【0035】

ステップ1001では、中間コード命令のパラメータ部の先頭にポインタをセットする。ステップ1002では、ポインタの位置のパラメータの暗号を復号し、1バイト長のパラメータを取得する。この暗号の復号は、図8の手順によって行う。次に、ステップ1003で、ポインタ位置のパラメータが最終のパラメータかどうかを調べ、最終パラメータでなければステップ1004でポインタを次パラメータに進め、ステップ1002に進む。ポインタ位置のパラメータが最終パラメータならば、ステップ1005で、ステップ1002によって得たパラメータを引数にして命令の実行を行う。

【0036】

以下では、図9、図10のインタプリタによる命令実行の手順を、図7の暗号中間コードデータ701を実際に実行することにより行う。暗号データは、図5の暗号データ501を用いる。システム制御マイコン105によって暗号中間コードデータ701はRAMにダウンロードされているとする。

【0037】

まず、ステップ901では、命令ポインタを暗号中間コード705の先頭であるアドレスのオフセット0x00の位置にセットする。次に、ステップ902では、暗号中間コード705の命令ポインタ位置のデータ0x19を図8の手順によって暗号を復号し、命令コード部のデータ0x05を取得する。そして、ステップ903によって、ステップ902で取得した中間コードの命令コード部が終了命令かどうかを調べる、命令コード部は0x05であり終了命令でないため、ステップ904に進む。ステップ904の命令実行の説明は後ほど行う。

【0038】

次に、ステップ905によって命令ポインタを次命令のオフセット0x04に進め、ステップ902に進む。命令によってパラメータのサイズは決まっているため、中間コードが暗号化されていても次命令のオフセットを得ることが可能である。以下同様にして、ステップ902からステップ905を命令毎に繰り返して、中間コードの実行を行う。ステップ903で終了命令を検出するまでは、同様の処理を繰り返すため、説明を省略する。

【0039】

命令ポインタのアドレスのオフセットが0x12の時、ステップ902で暗号を復号して取得した命令コード部は0xCFとなり、ステップ903によって終了命令を検出し、ステップ906に進む。そして終了命令を実行した後に中間コードの実行を終了する。ここで、ステップ904での中間コードの命令実行について上記の命令ポインタがアドレスのオフセット0x00の位置にセットされている場合を用いて説明する。

【0040】

ステップ1001では、ポインタを命令ポインタの指す命令のパラメータ部の

先頭アドレスのオフセットである0x01にセットする。次に、ステップ1002でポインタの指しているアドレスのオフセット0x01のデータ0xBFを復号し、パラメータ部のデータ0x12を得る。そして、ステップ1003で前記データがパラメータの最終データかどうかを調べるが、最終データではないので、ステップ1004に進み、ポインタを次のパラメータ部のデータのアドレスのオフセット0x02にセットして、ステップ1002に進む。以下同様にステップ1002からステップ1004を繰り返して、パラメータ部のデータ0x34、0xD6を得る。

【0041】

ポインタがアドレスのオフセット0x03を指している時、ステップ1003によって最終データと認識され、ステップ1005に進む。そしてステップ1005で、上記の手順で得られた0x12、0x34、0xD6をパラメータ部として、命令コード部0x05の命令を実行して終了する。具体的には、命令コード0x05の命令はメモリに1バイトのサイズの即値データを書き込む命令なので、アドレス0x1234のメモリに即値0xD6を書き込んで終了する。

【0042】

(実施の形態2)

以下、本発明の実施の形態2について図面を参照しながら説明する。図11は本実施の形態のLSIの構成を表すものであり、これについて説明する。なお、図11に示す本実施の形態の構成は基本的には図1に示した実施の形態1の構成と同じであるので、同一構成部分には同一番号を付して詳細な説明を省略する。

【0043】

1101は本発明であるLSI、1102はシステム制御マイコン105によってRAM103に記録された予め暗号化された中間コードに暗号化情報を付加した暗号中間コードデータ、1103は復号された中間コード、1104はRAM103のシステム制御マイコン105からアクセス可能な領域であるアクセス可能RAM領域、1105はRAM103のシステム制御マイコン105からアクセス不可能な領域のアクセス不可能RAM領域である。なお、本実施の形態ではアクセス可能RAM領域1104とアクセス不可能RAM領域1105は単一

メモリ上に実現されているが、異なるメモリに形成してもよい。

【0044】

本実施の形態は、予め暗号化された中間コード1102をアクセス可能RAM領域1104に保持し、前記中間コードの復号を初めに行い、アクセス不可能RAM領域1105に記録した後、復号後の中間コード1103をインタプリタ実行プログラム106によって実行することを特徴とする。中間コードの暗号化、復号化は、それぞれ実施の形態1の図3、図8の手順によって行う。なお、暗号化、復号化は、RSAアルゴリズムやDESアルゴリズムなどの従来よく知られている暗号アルゴリズムを用いて行うことも可能である。

【0045】

本実施の形態のインタプリタ実行プログラムによる中間コードの実行手順は図12のフローチャートによって表せるが、図12に示す手順は図9に示した実施の形態1の手順のステップ902とステップ1201が異なるのみであり、ステップ1201はステップ902の実行において暗号の復号化を行わない場合、つまり図8の暗号復号のフローチャートのステップ802において、暗号化フラグの立っていない場合の動作と同様の動作を行う。他のステップは、図9の手順と同じであるので、同一ステップに同一番号を付して詳細な説明を省略する。

【0046】

なお、本実施の形態のLSIを組み込んだ情報記録装置、情報再生装置、情報記録再生装置も考えられる。この装置は、中間コードを入れ換えることにより用途に応じてLSIの動作を変更することが出来、装置の仕様をカスタマイズすることが可能であるという特徴を持つ。

【0047】

【発明の効果】

以上のように本発明は、CPUに依存しない命令列からなる中間コードを保持する記録可能なメモリであるRAMと、前記中間コードを解釈、実行するインタプリタ実行プログラムを格納する読み出し専用のメモリであるROMと、前記インタプリタ実行プログラムによって前記中間コードを実行するCPUから構成されているため、中間コードを入れ換えることでLSIを様々な用途に用いること

が可能となる。また、予め暗号化された中間コードを前記RAMに保持して、前記インタプリタ実行プログラムによって前記中間コードの暗号の復号と実行を命令毎に逐次行うことにより、中間コードの暗号化、復号化を新たな回路を追加することなく容易に実現し、中間コードの内容が中間コード開発者以外に漏洩するのを防ぐことが出来る。

【0048】

更に、前記RAMを外部からアクセス可能なRAM領域と外部からアクセス不可能なRAM領域から構成することによって、暗号化された中間コードを復号する計算量が、中間コードの実行時間に影響を与えなくすることが出来、中間コードの暗号化、復号に複雑な暗号化アルゴリズムを用いることが可能となる。

【図面の簡単な説明】

【図1】

本発明の実施の形態1におけるLSIの構成を示す概念図

【図2】

本発明の実施の形態1における中間コードのデータ構造図

【図3】

本発明の実施の形態1における中間コード暗号化実行のフローチャート

【図4】

本発明の実施の形態1における中間コードの具体例を示す図

【図5】

本発明の実施の形態1における暗号データの具体例を示す図

【図6】

本発明の実施の形態1における暗号中間コードデータのデータ構造図

【図7】

本発明の実施の形態1における暗号中間コードデータの具体例を示す図

【図8】

本発明の実施の形態1における暗号中間コードデータの復号のフローチャート

【図9】

本発明の実施の形態1における暗号中間コードデータの実行のフローチャート

【図10】

本発明の実施の形態1における中間コードの命令実行のフローチャート

【図11】

本発明の実施の形態2におけるLSIの構成を示す概念図

【図12】

本発明の実施の形態2における中間コードの実行のフローチャート

【符号の説明】

101, 1101 LSI

102 CPU

103 RAM

104 ROM

105 システム制御マイコン

106 インタプリタ実行プログラム

107, 501 暗号データ

108 暗号化された中間コード

109 命令ポインタ

110 通信手段

201, 401 中間コード

202, 402 命令

203, 403 命令コード部

204, 404 パラメータ部

601, 701, 1102 暗号中間コードデータ

602, 702 暗号化フラグ

603, 703 暗号データの先頭アドレス

604, 704 暗号データのサイズ

605, 705 暗号中間コード

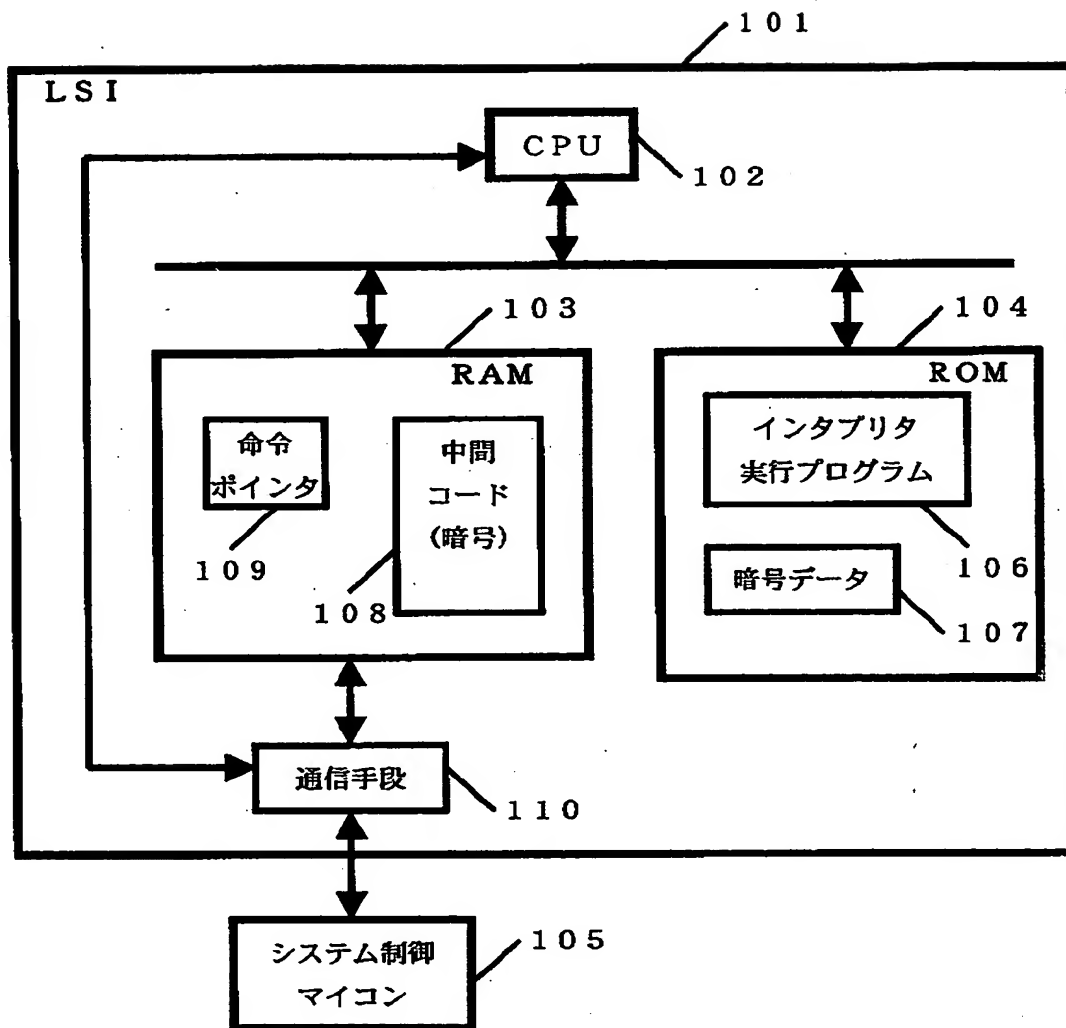
1103 復号後の中間コード

1104 アクセス可能RAM領域

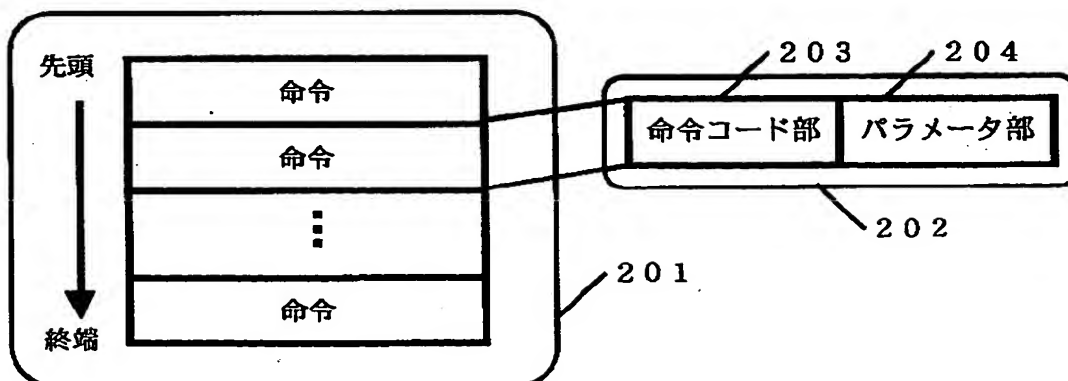
1105 アクセス不可能RAM領域

【書類名】 図面

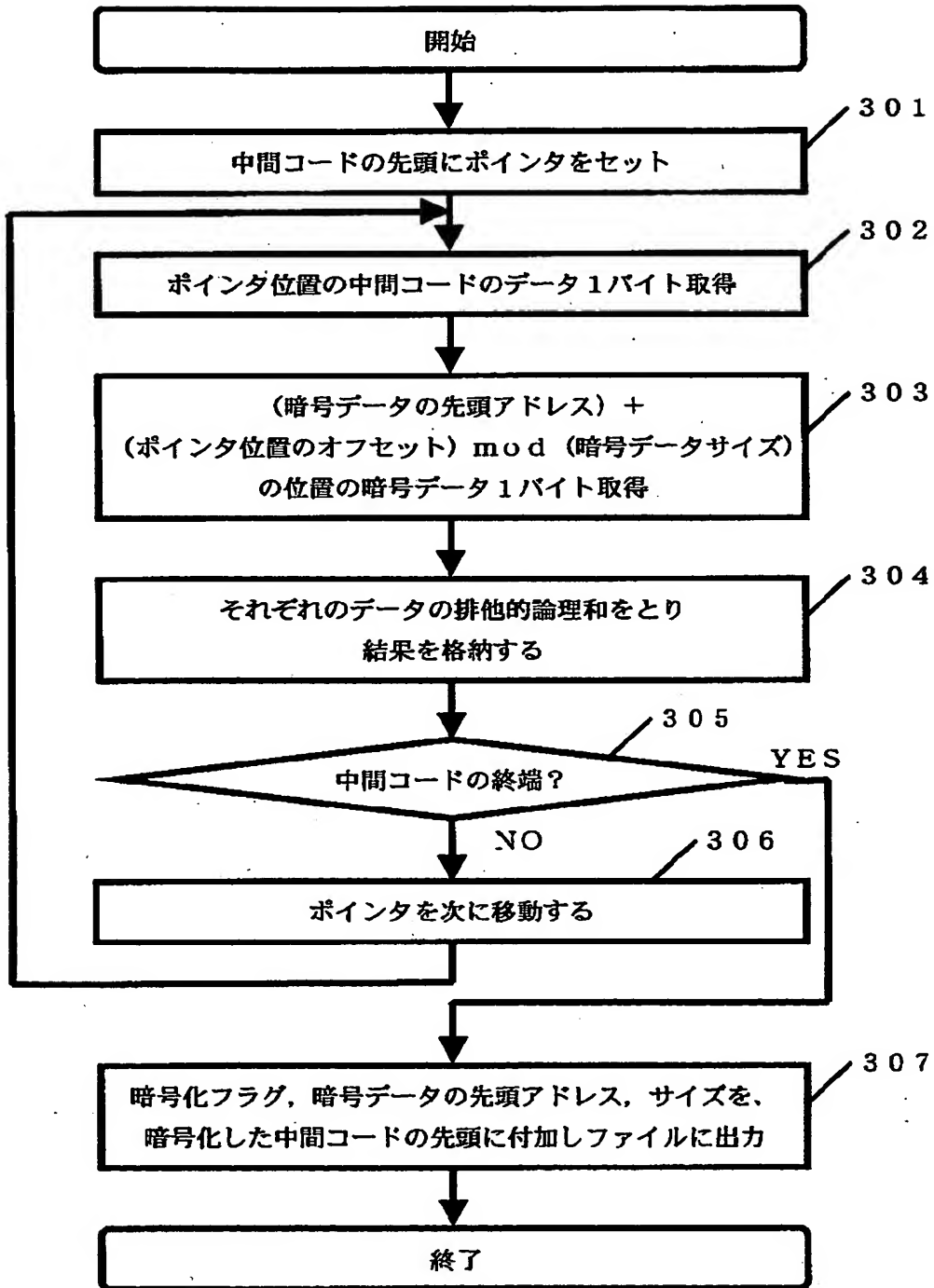
【図 1】



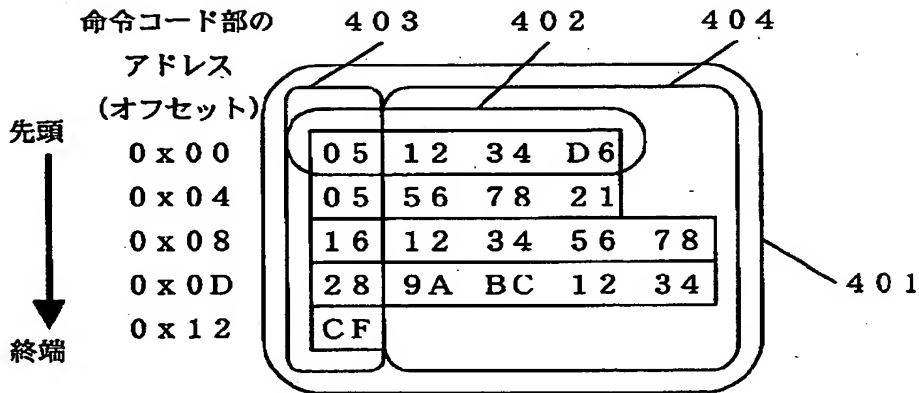
【図 2】



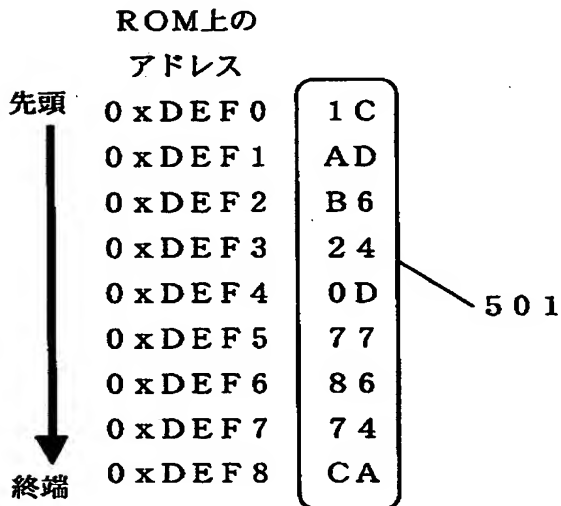
【図 3】



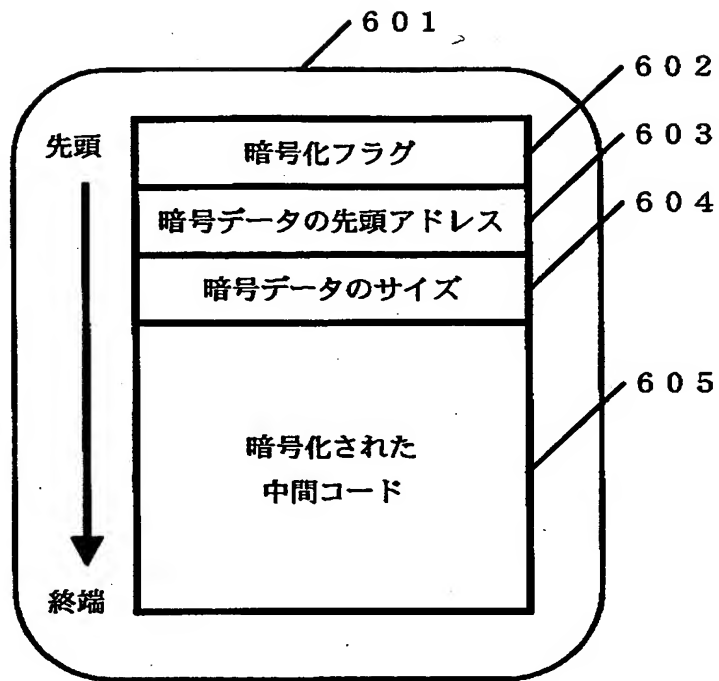
【図 4】



【図 5】



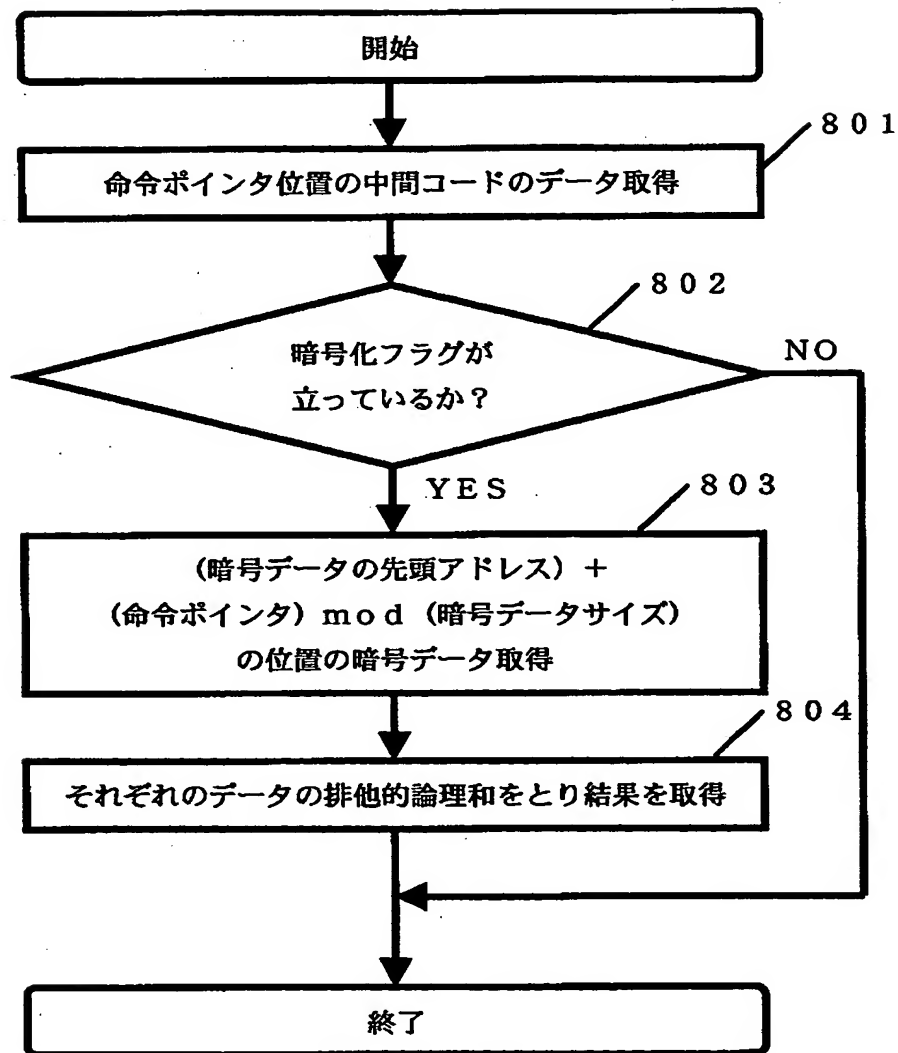
【図6】



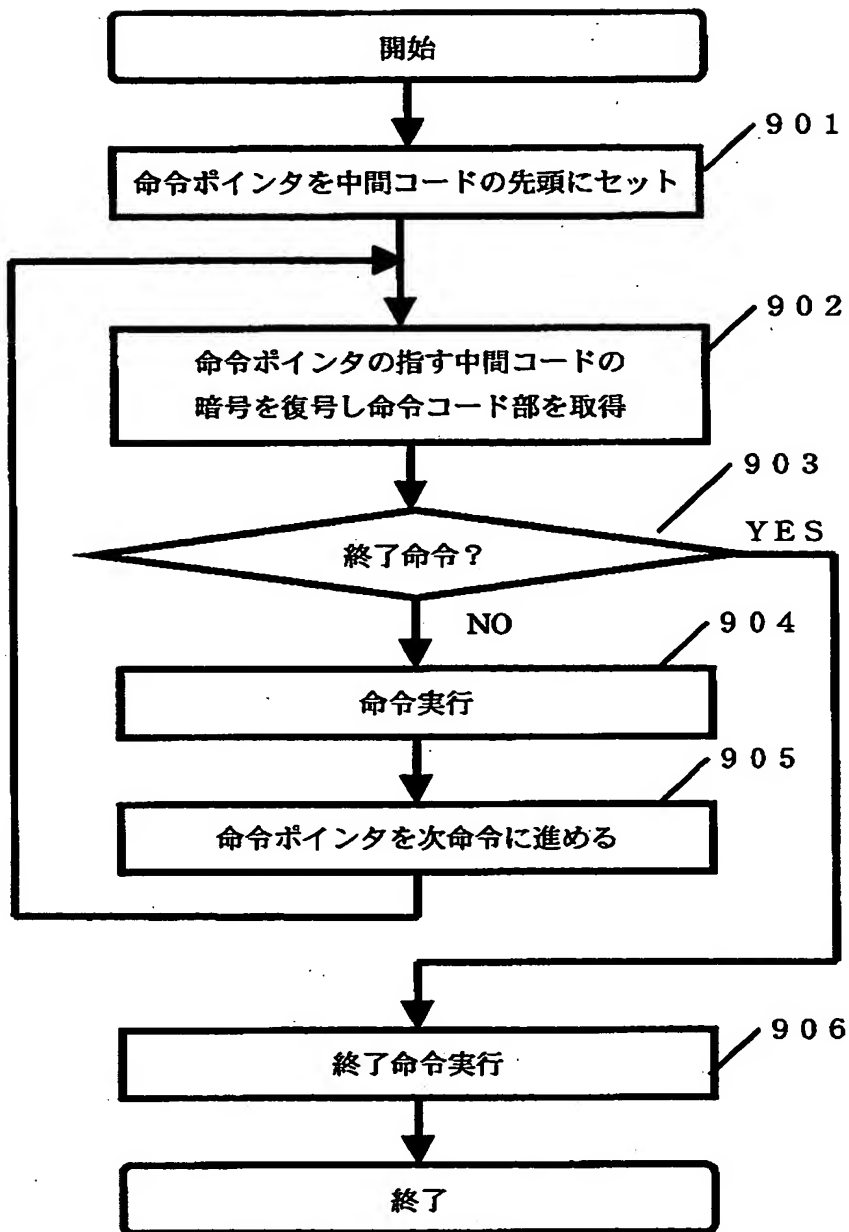
【図 7】

	01	
	DE	702
	F0	
	00	703
オフセット	09	
0x00	19	704
0x01	BF	
0x02	82	
0x03	F2	
0x04	08	
0x05	21	701
0x06	FE	
0x07	55	
0x08	DC	
0x09	0E	705
0x0A	99	
0x0B	E0	
0x0C	5C	
0x0D	75	
0x0E	ED	
0x0F	3A	
0x10	66	
0x11	FE	
0x12	D3	

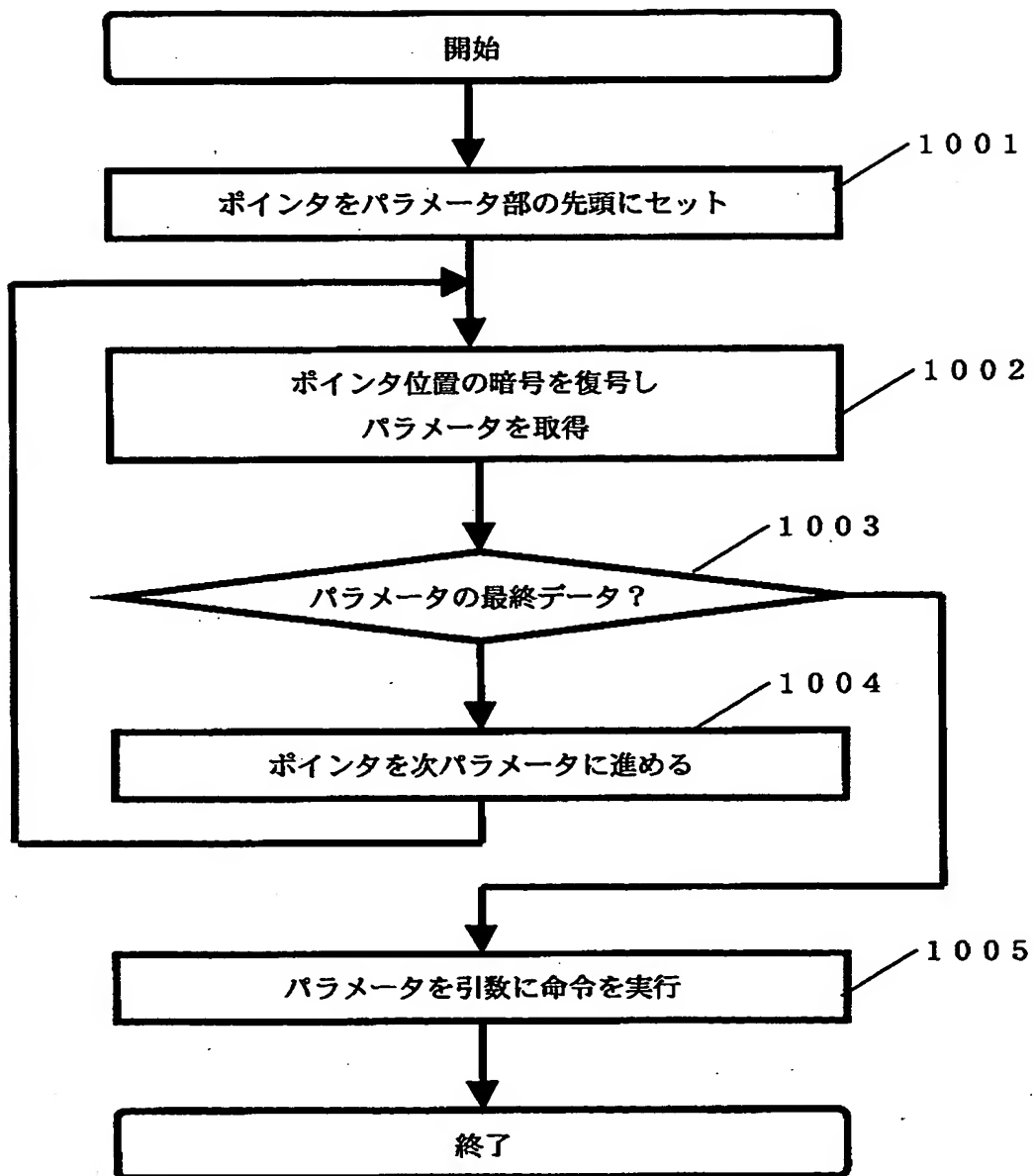
【図 8】



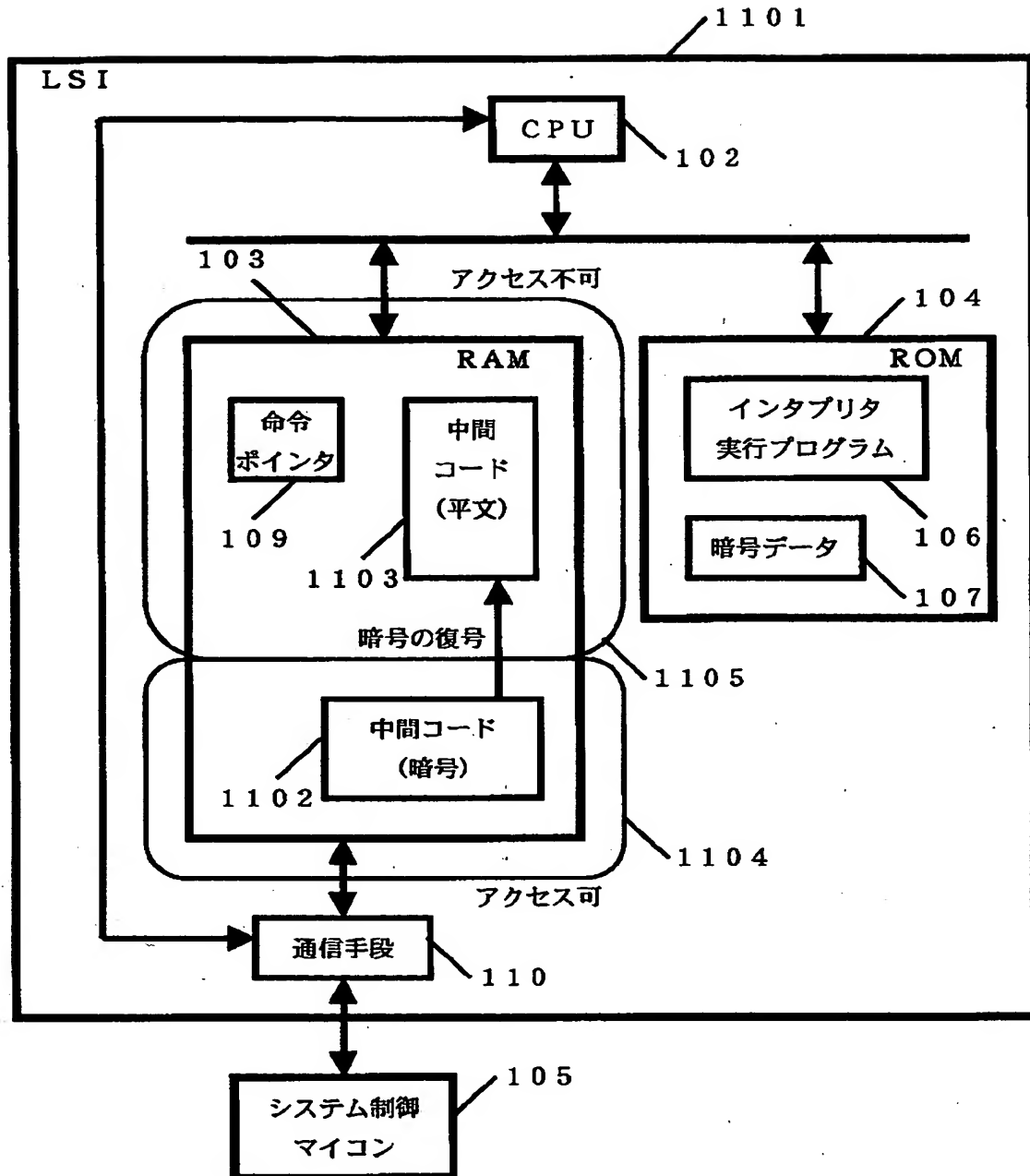
【図 9】



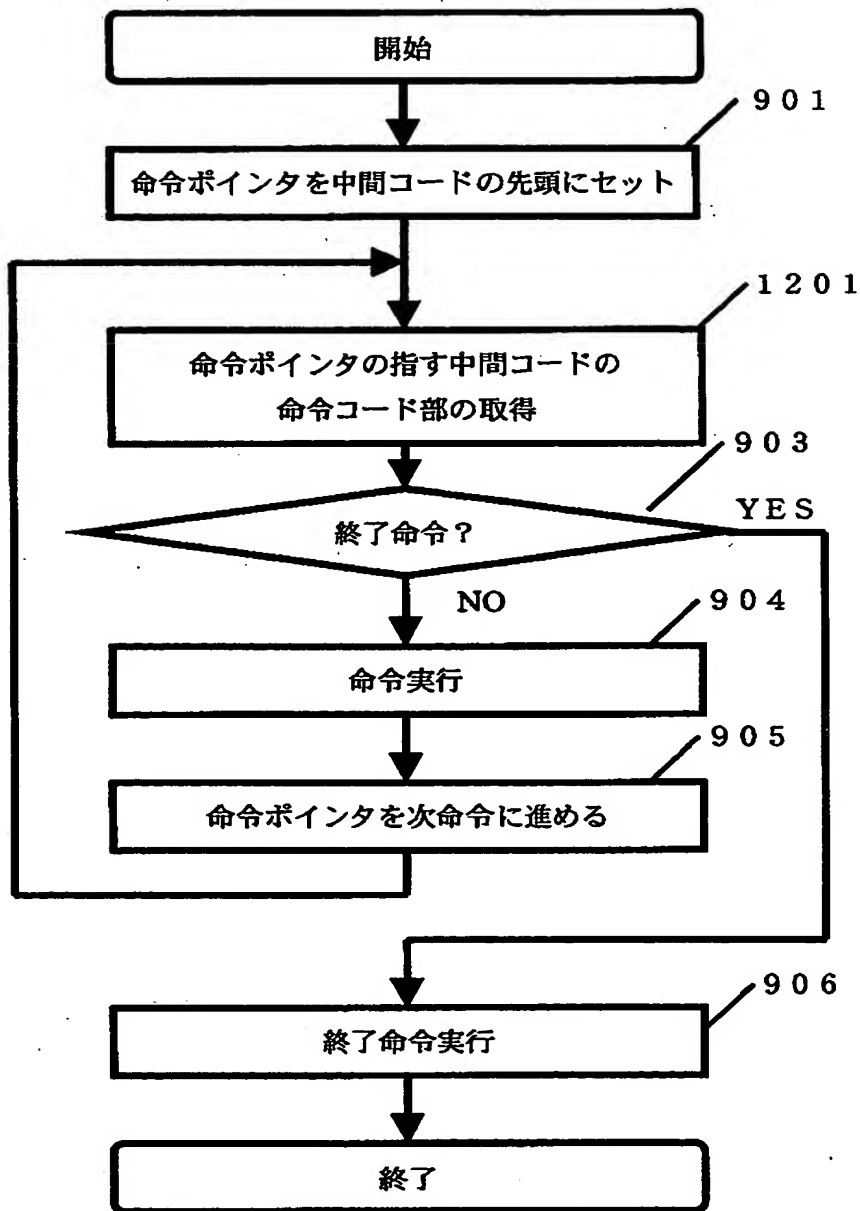
【図10】



【図11】



【図 12】



【書類名】 要約書

【要約】

【課題】 従来のLSIは、予めROMに記録されたソフトウェアを実行することしか出来ず、記録されているソフトウェアを変更することが出来ないため、LSIを用途に応じてカスタマイズして、様々な用途に使用することは難しいという課題があった。

【解決手段】 本発明のLSI101は、CPUに依存しない命令列からなる中間コードを保持する記録可能なメモリであるRAM103と、中間コードを解釈、実行するインタプリタ実行プログラム106を格納する読み出し専用のメモリであるROM104と、インタプリタ実行プログラム106により中間コードを実行するCPU102から構成する。また、暗号化された中間コード108をRAM103に保持して、インタプリタ実行プログラム106により中間コード108の暗号の復号と実行を命令毎に逐次行うこととする。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 大阪府門真市大字門真1006番地
氏 名 松下電器産業株式会社